



Docket No.: L&L-I0225

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date indicated below.

By: Markus Nolff Date: March 10, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/730,619
Applicant : Burkhard Becker
Filed : December 8, 2003
Title : Method and Circuit Configuration for Transmitting Data Between a Processor and a Hardware Arithmetic-Logic Unit
Docket No. : L&L-I0225
Customer No. : 24131

CLAIM FOR PRIORITY

Commissioner for Patents,
P.O. Box 1450, Alexandria, VA 22313-1450

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 27 348.7, filed June 6, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolff
Reg. No. 37,006

Markus Nolff
For Applicant

Date: March 10, 2004

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/av

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 27 348.7
Anmeldetag: 06. Juni 2001
Anmelder/Inhaber: Infineon Technologies AG,
81669 München/DE
Bezeichnung: Verfahren und Schaltungsanordnung zur
Übertragung von Daten zwischen einem
Prozessor und einem Hardware-Rechenwerk
IPC: G 06 F, H 03 M

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 05. Februar 2004
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Feust

Beschreibung

Verfahren und Schaltungsanordnung zur Übertragung von Daten zwischen einem Prozessor und einem Hardware-Rechenwerk

5

Die Erfindung betrifft ein Verfahren und eine Schaltung zur Übertragung von Daten zwischen einem Prozessor und einem einem Hardware-Rechenwerk, insbesondere Viterbi-Hardware-Rechenwerk.

10

In vielen Situationen der digitalen Datenübertragung müssen Daten bidirektional zwischen einem Prozessor und einer den Prozessor unterstützenden Hardware-Schaltung ausgetauscht werden. Dabei sind nicht selten die folgenden Gesichtspunkte von Bedeutung: Der vom Prozessor gesteuerte Datentransfer zwischen dem Prozessor und der Hardware-Schaltung darf auch bei hohen Datenraten keinen signifikanten Anteil (im Prozentbereich) an der verfügbaren Prozessorleistung in Anspruch nehmen. Darüber hinaus ist häufig eine schnelle Datenübertragung gefordert. Ein weiterer wichtiger Gesichtspunkt ist oftmals darin sehen, dass die Datenübertragung möglichst kompatibel mit unterschiedlichen Datenstrukturen (z.B. unterschiedliche Datentypen, Wortbreiten usw.) sein soll. Ferner werden für die Datenübertragung universelle Verfahren benötigt, d.h. Verfahren, welche auch für unterschiedliche konstruktive Ausführungen von Hardware-Schaltungen verwendbar sein sollen. Schließlich soll der Hardware-Aufwand zur Realisierung eines diesen Anforderungen gerecht werdenden Verfahrens gering gehalten werden.

25

30

Ein wichtiges Anwendungsgebiet, bei welchem sämtliche genannten Anforderungen zum Tragen kommen, ist der Bereich des Mobilfunks. In Mobilfunkempfängern werden sowohl zur Entzerrung der empfangenen Signale als auch zur Kanaldekodierung Berechnungsverfahren eingesetzt, die auf dem Viterbi-Algorithmus beruhen. Der Viterbi-Algorithmus ist ein Rekursionsverfahren, dessen Rechenabläufe sich Zeitschritt für Zeitschritt wieder-

holen. Insbesondere bei hohen Datenraten, bei Verwendung höherstufiger Modulationsverfahren, bei Zugrundelegung eines langen Kanalgedächtnisses bei der Entzerrung oder auch bei der Verwendung kleiner Koderaten bei der Kanalkodierung und 5 in vielen anderen Situationen kann die Abarbeitung des Viterbi-Algorithmus sehr rechenaufwändig werden.

Die systemtechnisch einfachste Möglichkeit zur Durchführung des Viterbi-Algorithmus besteht darin, diesen von einem geeignet programmierten Prozessor ausführen zu lassen. Bei dieser Lösung ist jedoch nachteilig, dass leistungsstarke und somit teure Prozessoren benötigt werden, deren Rechenleistung in der Größenordnung von mindestens 400 MIPS (Million Instructions per Second) liegt. Hinzu kommt, dass solche Prozessoren 10 einen hohen Stromverbrauch haben, weshalb sie in Mobiltelefonen aufgrund der dort beschränkten Energieressourcen praktisch 15 nicht einsetzbar sind.

Es ist daher bereits vorgeschlagen worden, den Prozessor durch 20 Hinzufügen einer Viterbi-Hardware-Schaltung zu entlasten. Insbesondere ist bereits bekannt, die rechenaufwändigen ACS- (Add-Compare-Select)-Operationen von einer derartigen Viterbi-Hardware-Schaltung durchführen zu lassen, d.h. aus dem Prozessor 25 "auszulagern".

In dem Buch "Halbleiterschaltungstechnik", von U. Tietze und Ch. Schenk, 10 Auflage, 1993, Springer Verlag, Berlin, ist auf den Seiten 284 und 285, Kapitel 11.2.2, der Betrieb eines RAMs als Schieberegister beschrieben. Dabei wird die Zugriffsadresse 30 des Schieberegisters durch einen Zähler erzeugt.

Der Erfindung liegt die Aufgabe zugrunde, ein Verfahren zur Übertragung von Daten zwischen einem digitalen Prozessor und einem Hardware-Rechenwerk, insbesondere Viterbi-Hardware-Rechenwerk, anzugeben, welches mit Blick auf die genannten Anforderungen mit Vorteil einsetzbar ist. Ferner zielt die Erfindung darauf ab, eine Schaltungsanordnung oder Schnittstelle 35

mit diesen Eigenschaften für den Datenaustausch zwischen einem Prozessor und einem Hardware-Rechenwerk bereitzustellen.

Die der Erfindung zugrunde liegende Aufgabenstellung wird
5 durch die Merkmale der unabhängigen Ansprüche gelöst.

Demnach geht die Erfindung von einem Hardware-Rechenwerk aus, welchem wenigstens ein Tabellenspeicher zugeordnet ist, wobei Daten mehrerer Datentypen (z.B. im Falle eines Viterbi-
10 Rechenwerks Empfangssymbole, Kanalkoeffizienten, Soft-Output-Werte, Trace-Back-Datensymbole usw.) in dem Tabellenspeicher gespeichert werden sollen. Der Schreib- und/oder Lesezugriff des Prozessors auf den Tabellenspeicher umfasst dabei die Schritte der Anwahl einer Basisadresse, welche abhängig von
15 dem Datentyp der zu übertragenden Daten ist, und des Zugriffs auf den Tabellenspeicher, indem ausgehend von der ange-wählten Basisadresse die für den Schreib- und/oder Lesezugriff verwendete Adresse des Tabellenspeichers bei jedem Zugriff nach einer vorgegebenen arithmetischen Rechenvorschrift in
20 Hardware berechnet wird.

Durch die Zuordnung von Basisadressen zu Datentypen wird erreicht, dass der Tabellenspeicher so partitioniert wird, dass Daten unterschiedlicher Datentypen in unterschiedlichen Spei-
25 cherteilbereichen abgelegt werden. Bei einem Zugriff auf den Tabellenspeicher wird der für den entsprechenden Datentyp re-servierte Speicherteilbereich über die Anwahl seiner Basis-adresse adressiert. Da bei den anschließenden Speicherzugrif-fen die Adressierung über die Berechnung der Adressen in Hard-
30 ware erfolgt, ist diese schnell und ohne Rechenaufwand für den Prozessor auszuführen.

Vorzugsweise ist die arithmetische Rechenvorschift zur Be-rechnung der Adressen des Tabellenspeichers eine Inkrementie-
35 rungs- bzw. Dekrementierungsvorschift. Der Tabellenspeicher wird in diesem Fall in jedem der Speicherteilbereiche in Art eines Schieberegisters oder FIFOs betrieben, wobei im Unter-

schied zu einem üblichen Schieberegister hier nicht die Daten geschoben, sondern die Adresse, die als Zeiger auf die feststehenden Daten wirkt, durchgezählt wird.

- 5 Vorzugsweise sind die den unterschiedlichen Datentypen zugeordneten Basisadressen in einem Basisadressenregister abgelegt, wobei die Anwahl einer Basisadresse durch Setzen eines dieser Basisadresse zugeordneten Auswahlbits über den Prozessor erfolgt. Somit springt der Adressenzeiger automatisch auf
10 die voreingestellte Basisadresse, sobald der Prozessor das entsprechende Auswahlbit setzt. In diesem Fall entfällt für den Prozessor auch der Aufwand für die Erzeugung von Basisadressen.
- 15 Eine weitere vorteilhaft Maßnahme des erfundene fahrens kennzeichnet sich durch die Wahl eines welcher bewirkt, dass mehrere von dem Prozessor Datenwörter für einen Schreibzugriff zu einem " Speicherdatenwort für den Tabellenspeicher zusammengefasst
20 werden, und/oder durch die Wahl eines Entpackungsmodus, welcher bewirkt, dass ein mit einem Lesezugriff aus dem Tabellen- speicher gelesenes Speicherdatenwort vor der Eingabe in den Prozessor in mehrere Datenwörter zerlegt wird. Auf diese Weise kann eine Anpassung der Wortbreite des spezifischen Datentyps an die vorgegebene Wortbreite des Tabellenspeichers erreicht
25 werden, d.h. z.B. können bei einem Datentyp kleinerer Wort- breite mehrere Wörter pro Speicheradresse im Tabellenspeicher untergebracht werden. Damit wird einerseits eine bessere Spei- cherplatznutzung ermöglicht und es wird andererseits - sofern gewünscht - ein Vielfachzugriff seitens der Hardware-Schaltung auf mehrere Datenwörter unterstützt. Der Entpackungsmodus er- laubt, "gepackte" Speicherdatenwörter wieder in die ursprüng- lichen Datenwörter aufzutrennen, so dass der Prozessor
30 (welcher eine fest vorgegebene Eingangs-Wortbreite aufweist)
35 die Datenwörter verarbeiten kann. Das Päcken bzw. Entpacken der Datenwörter kann wiederum ohne Beteiligung des Prozessors erfolgen.

Ein wichtiger Anwendungsbereich der vorliegenden Erfindung kennzeichnet sich dadurch, dass es sich bei dem Rechenwerk um ein Viterbi-Hardware-Rechenwerk handelt.

5

Eine erfindungsgemäße Schaltungsanordnung zur Übertragung von Daten mehrerer Datentypen zwischen dem Prozessor und dem Hardware-Rechenwerk sieht einen Eingabe- und/oder Ausgabespeicher vor, auf welchen der Prozessor für die Dateneingabe/Ausgabe mit vorgegebener Adresse zugreift. Durch die bereits im Zusammenhang mit dem erfindungsgemäßen Verfahren beschriebenen Maßnahmen werden mittels eines Basisadressen-Speichermittels (welches insbesondere ein außerhalb des Prozessors angeordnetes Basisadressenregister ist) und einer Hardware-Adressenberechnungsschaltung, welche insbesondere ein Zählmittel ist, ohne Beteiligung des Prozessors die Zugriffsadresse für den Tabellenspeicher generiert. Das in dem Eingabe- und/oder Ausgabespeicher befindliche Datenwort wird dann unter dieser Adresse im Tabellenspeicher abgespeichert. Das Verfahren ermöglicht eine hohe Datenrate, da der Prozessor auf den Eingabe- und/oder Ausgabespeicher ohne Wartezyklen, d.h. im Systemtakt, zugreifen kann.

25

Die Erfindung wird nachfolgend unter Bezugnahme auf die Zeichnung anhand von Beispielen aus dem Bereich der Mobilfunktechnik näher erläutert; in dieser zeigt:

30

Fig. 1 eine Schaltung zur Durchführung von Viterbi-Berechnungen in Form von Funktionsblöcken, zur Erläuterung des generellen Aufbaus einer solchen Schaltung;

Fig. 2 ein schematisches Schaltbild einer erfindungsgemäßen Schaltungsanordnung;

35

Fig. 3 ein Blockschaltbild, welches die Architektur einer Entzerrer- und Kanaldekodierer-Schaltung zeigt, welche eine erfindungsgemäße Schaltungsanordnung einsetzt;

Fig. 4 eine schematische Darstellung einer Speicherpartition für die in Fig. 3 dargestellte Entzerrer- und Kanaldekodierer-Schaltung; und

5

Fig. 5 eine schematische Darstellung einer Variante der erfindungsgemäßen Schaltungsanordnung zur Erläuterung des Packens von Datenwörtern bzw. Entpackens von Speicherdatenwörtern.

10

Fig. 1 zeigt den generellen Aufbau einer Viterbi-Berechnungseinheit bestehend aus einer Einheit zur Berechnung von Übergangsmetriken BMU (Branch Metric Unit), einer Einheit zur Durchführung von ACS-Operationen, ACS, und einer Einheit zur Durchführung von Trace-Back-Operationen bezüglich der ermittelten Pfade SMU (Survivor Memory Unit). Eine Viterbi-Berechnungseinheit der gezeigten Struktur wird sowohl in Entzerrern (Datendetektoren) als auch in Kanaldekodierern eingesetzt.

15

Die generelle Funktionsweise von Viterbi-Berechnungseinheiten ist bekannt und wird hier lediglich kurz erläutert:

20

Allgemein liegt der Viterbi-Berechnung die Idee zugrunde, durch ein rekursives Verfahren einen kürzesten Weg durch ein Zustandsdiagramm (sogenanntes Trellis-Diagramm) zu ermitteln, in welchem die Zustände eines Schieberegisters über der Zeit aufgetragen sind. Im Falle der Entzerrung repräsentiert das Schieberegister das Kanalgedächtnis, während im Falle der Kanaldekodierung das Schieberegister des Kanalkodierers betrachtet wird. In beiden Fällen wird pro Zeitschritt eine Dateneinheit (beim Entzerrer: ein Datensymbol; beim Kodierer: ein Bit) in das entsprechende Schieberegister eingeschoben und dadurch der Zustand des Schieberegisters verändert. Die Werte der Dateneinheiten, die dem jeweiligen Schieberegister in jedem Zeitschritt zugeführt werden, kommen als mögliche Empfangswerte in Frage. Die Wahrscheinlichkeit für das Auftreten dieser Dateneinheiten als Empfangswerte wird mittels der Viterbi-

25

30

35

Rekursion Zeitschritt für Zeitschritt bestimmt. Dabei berechnet die Einheit BMU für jeden möglichen Übergang im (Kanal-kodierer- bzw. Entzerrer-)Trellis-Diagramm Übergangswahrscheinlichkeiten, die als Übergangsmetrikwerte bezeichnet werden. Die Berechnung dieser Übergangsmetrikwerte beruht auf der dem Empfänger aktuell zur Verfügung stehenden Information, d.h. im Falle der Entzerrung auf den empfangenen Datensymbolen und den von einem Kanalschätzer ermittelten Kanalparametern, und im Falle der Kanaldekodierung auf den von dem Entzerrer ausgegebenen Soft-Output-Werten.

Die in der Einheit BMU zur Berechnung der Übergangsmetriken berechneten Übergangsmetrikwerte werden über die Datenverbindung 2 der ACS-Einheit zugeführt. In der ACS-Einheit werden die Übergangsmetrikwerte den jeweiligen Zustandsmetriken der Vorgänger-Zustände hinzugaddiert (sogenannte "ADD"-Operation), und es werden die auf diese Weise erhaltenen Summen verglichen (sogenannte "COMPARE"-Operation). Derjenige Übergang, dessen Summe aus Übergangsmetrikwert und Metrik des Vorgänger-Zustands minimal ist, wird ausgewählt (sogenannte "SELECT"-Operation) und bildet die Verlängerung des in den Vorgänger-Zustand mündenden Pfades in den Zielzustand. Diese drei Operationen werden als ACS-Operationen bezeichnet und von der ACS-Einheit ausgeführt.

Sowohl bei der Viterbi-Entzerrung als auch bei der Viterbi-Dekodierung wird der ACS-Schritt innerhalb jedes Zeitschrittes zyklisch ausgeführt, wie dies durch die Schleife 3 in Fig. 1 angedeutet ist. Bei jedem Zyklus wird die ACS-Operation für eine bestimmte Gruppe von Vorgänger-Zuständen und Zielzuständen abgearbeitet, welche als "Butterfly" bezeichnet wird.

Nachdem für einen bestimmten Zeitschritt im Trellis-Diagramm sämtliche Metriken bestimmt sind, werden die zugehörigen Zustandsübergänge der Einheit SMU über die Datenverbindung 4 mitgeteilt. Die Einheit SMU führt eine Trace-Back-Operation zur Ermittlung eines um eine bestimmte Anzahl von Zeitschritten

ten zurückliegenden Datenbits (Kanaldekodierung) bzw. Daten-symbols (Entzerrung) durch. Der Trace-Back-Operation liegt zu-grunde, dass im Trellis-Diagramm die einzelnen Pfade in zeit-licher Rückwärtsrichtung konvergieren, d.h., dass Daten-
5 bits/Datensymbole, die für einen länger zurückliegenden Über-gang ermittelt wurden, für überlebende Pfade eine höhere Si-cherheit aufweisen (ob ein Pfad überlebt oder nicht, stellt sich eben erst nach Abarbeitung einer bestimmten Anzahl weite-rer Zeitschritte heraus).

10

Im Falle der Kanaldekodierung gibt die Einheit SMU über die Datenverbindung 5 dekodierte Datenbits aus. Im Falle der Ent-zerrung werden über die Datenverbindung 5 Soft-Output-Werte und Hard-Output-Werte bereitgestellt.

15

Die anhand Fig. 1 erläuterten Rechenschritte werden teilweise in Hardware und teilweise von einem Prozessor mittels Software (Firmware) ausgeführt. Dies macht Schnittstellen zwischen der Hardware und dem Prozessor erforderlich. Je nach konstruktiver Auslegung und Anforderungen können Schnittstellen bei sämtli-
20 chen der in Fig. 1 dargestellten Datenverbindungen 1, 2, 3, 4, 5 und darüber hinaus auch an anderer Stelle bestehen.

25

Fig. 2 verdeutlicht anhand eines Beispiels den Aufbau einer erfindungsgemäßen Schnittstelle sowie den Ablauf einer Daten-übergabe zwischen einem digitalen Signalprozessor DSP und ei-nem Viterbi-Rechenwerk RW.

30

Das Rechenwerk RW steht über eine bidirektionale Datenverbin-dung DV mit dem Dateneingang/Ausgang eines Tabellenspeichers SP in Verbindung. Ferner steht der Dateneingang/Ausgang des Tabellenspeichers SP über eine weitere Datenverbindung DV1 mit dem Dateneingang/Ausgang eines Eingabe/Ausgabespeichers I/O_M in Datenaustauschverbindung. Der Eingabe/Ausgabespeicher I/O_M ist dem DSP zugeordnet und von diesem über eine fest vorgege-bene Adresse ansprechbar. Die Wortbreite des Eingabe/Ausga-

bespeichers I/O_M entspricht der Wortbreite des DSP, z.B. 16 Bit.

Der Tabellenspeicher SP weist ebenfalls eine feste Wortbreite auf, die beispielsweise identisch mit der Wortbreite des Eingabe/Ausgabespeichers I/O_M sein kann. Der Adressdekoder des Tabellenspeichers SP wird über einen Zähler C angesteuert. Der Zähler C weist einen Setzeingang E1 auf, über welchen der Zählwert eingestellt werden kann. Die Taktung des Zählers C erfolgt mit dem Systemtakt CLK.

Der Setzeingang E1 des Zählers C ist mit dem Ausgang eines Basisadressenregisters AR verbunden. In dem Basisadressenregister AR sind mehrere Basisadressen BA0, BA1, ..., BAn abgelegt. Zur Ansteuerung des Basisadressenregisters AR ist eine Steuerleitung SL mit einer Wortbreite n+1 vorgesehen. Über die Steuerleitung SL ist es dem DSP möglich, durch Setzen eines jeweiligen Auswahlbits gezielt eine der in dem Basisadressenregister AR abgespeicherten Basisadressen BA0, BA1, ..., BAn anzuwählen und damit dem Setzeingang E1 des Zählers C zuzuleiten. Die Basisadressen BA0, BA1, ..., BAn sind vordefinierte Adressen des Tabellenspeichers SP, welche eine funktionale Partitionierung des Speicherbereichs des Tabellenspeichers SP in verschiedene Teilbereiche T0, T1, ..., Tn vorgeben.

Im Folgenden wird die Wirkungsweise der erläuterten Schnittstelle für das Beispiel eines Viterbi-Entzerrers erläutert. Dabei soll (ebenfalls lediglich zu Erläuterungszwecken) die Schnittstelle zwischen dem DSP und dem Viterbi-Rechenwerk RW bei den Datenverbindungen 1, 5 angeordnet sein.

In diesem Fall führt das Viterbi-Rechenwerk RW die Berechnung der Übergangsmetriken, der ACS-Operationen und der Trace-Back-Operationen aus. Die folgenden Datentypen müssen vor bzw. nach einem Rechenlauf des Viterbi-Rechenwerks RW zwischen dem DSP und dem Viterbi-Rechenwerk RW übertragen werden.

1. Eingabedaten für das Viterbi-Rechenwerk RW:
 - Empfangssymbole x_k (k bezeichnet den Zeitschritt)
 - Kanalkoeffizienten h_0, \dots, h_m ; oder Produkte der Kanalkoeffizienten und der Werte des Symbolalphabets; oder Teilsummen solcher Produkte (m bezeichnet die Länge des Kanalgedächtnisses)
 - Initialisierungswerte für Zustandsmetriken und Zustandsvektoren

10 2. Ausgabedaten des Viterbi-Rechenwerks RW:

- Hard-Output-Werte (d.h. die Trace-Back-Werte)
- Soft-Output-Werte

In einem ersten Schritt werden die Eingabe-Datenwerte von dem DSP in den Tabellenspeicher SP geladen. Für jeden Datentyp wird ein Speicherteilbereich verwendet. Zum Beispiel werden zunächst die Empfangssymbole x_k in den Speicherteilbereich T0 geschrieben. Zu diesem Zweck teilt der DSP dem Basisadressenregister AR durch Setzen des entsprechenden Auswahlbits mit, dass der Datentyp "Empfangsdatensymbole" übertragen werden soll. Diesem Datentyp ist die Basisadresse BA0 zugeordnet. Das Setzen des entsprechenden Auswahlbits bewirkt, dass der Adressenzeiger auf die in Fig. 2 dargestellte Position Z0 springt.

25 In einem nächsten Befehlsschritt wird der Systemtakt CLK an den Takteingang des Zählers C angelegt und gleichzeitig die Empfangssymbole x_k im Systemtakt von dem DSP in den Eingabe/Ausgabespeicher I/O_M befördert. Das Schreiben der Empfangssymbole x_k in den Eingabe/Ausgabespeicher erfolgt ohne Wartezustände unter Verwendung der stets gleichen, vorgegebenen Adresse des Eingabe/Ausgabespeichers I/O_M.

30 Das in den Eingabe/Ausgabespeicher I/O_M zwischengespeicherte Datenwort wird über die Datenverbindung DV1 unter der angewählten Adresse in den Tabellenspeicher SP geschrieben. Sofern kein Packungsmodus gewählt wird (beispielsweise kann dies bei identischer Wortbreite des Tabellenspeichers SP und des Daten-

worts der Fall sein), wird in jedem Systemtakt CLK genau ein Datenwort abgespeichert.

Durch die Partitionierung des Tabellenspeichers SP ist die Maximalanzahl der in einem Rechenlauf abzuspeichernden Datenwörter jedes Datentyps vorgegeben. Nach Abspeicherung der Empfangssymbole x_k in dem Tabellenspeicher SP wird zu dem nächsten Datentyp gewechselt, indem der DSP über die Steuerleitung SL durch Setzen des entsprechenden Auswahlbits die nächste Basisadresse, z.B. BA1, an wählt. Der Adressenzeiger springt daraufhin auf die Position Z1 (d.h. die unterste Adresse in dem Speicherteilbereich T1) und die Datenübertragung vom DSP in den Tabellenspeicher SP wird für den zweiten Datentyp in gleicher Weise fortgeführt.

15

Sobald sämtliche, für einen Rechenlauf des Viterbi-Rechenwerks RW benötigten Datenwörter in den Tabellenspeicher SP eingetragen sind, d.h. dieser fertig "aufgeladen" ist, beginnt das Viterbi-Rechenwerk RW mit der Abarbeitung der entsprechenden Rechenoperationen. Das Rechenwerk RW ist in sequentieller Logik realisiert und ermöglicht daher eine schnelle und energiesparende Durchführung der Rechenschritte. Während des Rechenlaufs werden ständig für die Rechnung benötigte Daten aus den einzelnen Speicherteilbereichen abgerufen und Ergebnisdaten in hierfür vorgesehene, weitere Speicherteilbereiche (z.B. T2 bis Tn) des Tabellenspeichers SP geschrieben. Diese Zugriffs-schritte sind nicht zeitkritisch, da sie parallel mit der Abarbeitung von Rechenschritten im Rechenwerk RW vorgenommen werden.

20

Nach Beendigung des sich vorzugsweise über eine Vielzahl von Zeitschritten k erstreckenden Rechenlaufs sind sämtliche Eingabedaten prozessiert und die entsprechenden Ausgabedaten (Hard-Output-Werte und Soft-Output-Werte) in den Tabellenspeicher SP geschrieben. Das Viterbi-Rechenwerk RW geht in einen Wartezustand über, in welchem die Ergebnisdaten schnellstmöglich von dem DSP aus dem Tabellenspeicher SP ausgelesen werden

müssen. Das Auslesen von Daten aus dem Tabellenspeicher SP erfolgt in gleicher Weise wie das Schreiben von Daten in den Tabellenspeicher SP. Der Zugriff des DSP erfolgt allein auf den Eingabe/Ausgabespeicher I/O_M und wird auf das durch die Basisadresse und die Anzahl der bereits erfolgten Zugriffe definierte Speicherdatenwort im Tabellenspeicher SP umgeleitet.

Der Wechsel der Speicherteilbereiche wird wiederum durch Auswahl eines anderen Basisadressen-Auswahlbits bewerkstelligt.

10

Der Eingabe/Ausgabespeicher I/O_M kann ein Prozessor-internes sogenanntes benutzerdefiniertes Register ("user-defined register") sein. Wichtig ist, dass der Zugriff des DSP auf dieses Register ohne Wartezustände und mit fester Adresse erfolgen kann.

15

Fig. 3 zeigt die Architektur einer Empfängerschaltung mit einem Entzerrer und einem Kanaldekodierer, welche sowohl bezüglich des Entzerrers als auch bezüglich des Kanaldekodierers eine erfindungsgemäße Schnittstelle einsetzt. Der digitale Signalprozessor DSP ist über ein oder mehrere Konfigurationsregister CONFIG mit zwei Viterbi-Rechenwerken RW1 und RW2 verbunden. Das erste Rechenwerk RW1 dient der Entzerrung des empfangenen Datensignals, das zweite Rechenwerk RW2 führt eine Kanaldekodierung durch. Die Rechenwerke RW1 und RW2 können eine Entzerrung bzw. Kanaldekodierung sowohl z.B. gemäß dem GSM-(Global System for Mobile Communications-)Standard als auch gemäß dem EDGE-(Enhanced Data Services for GSM Evolution-) -Standard ausführen.

20

Das erste Rechenwerk RW1 steht über eine erste bidirektionale Datenverbindung DL1 mit einem ersten flüchtigen Datenspeicher RAM1 und über eine zweite bidirektionale Datenverbindung DL2 mit einem zweiten flüchtigen Datenspeicher RAM2 in Datenaustauschverbindung. Entsprechende dritte und vierte bidirektionale Datenverbindungen DL3 und DL4 sind zwischen dem zweiten Rechenwerk RW2 und dem ersten Datenspeicher RAM1 sowie dem

zweiten Rechenwerk RW2 und dem zweiten Datenspeicher RAM2 vorgesehen.

Beide Rechenwerke RW1 und RW2 können ferner auf zwei flüchtige
5 Datenspeicher RAMW1 und RAMW2 zugreifen. Wie noch näher erläutert,
werden in den Datenspeichern RAMW1 und RAMW2 Zwischenergebniswerte abgelegt, die bei der Entzerrung und/oder der Kanaldekodierung in den Rechenwerken RW1 und RW2 anfallen.

- 10 Der DSP kann auf sämtliche der genannten Datenspeicher RAM1,
RAM2, RAMW1, RAMW2 über Datenbusse DB1, DB2, DB3 bzw. DB4,
welche mit einem zentralen Datenbus DB in Verbindung stehen,
zugreifen. Jeder Datenspeicher RAM1, RAM2, RAMW1, RAMW2 entspricht daher dem in Fig. 2 gezeigten Tabellenspeicher SP, die
15 Datenbusse DB1, DB2, DB3 bzw. DB4 sind jeweils mit der Datenverbindung DV1 in Fig. 2 vergleichbar. Der Zugriff des DSP erfolgt über zwei getrennte Eingabe/Ausgabespeicher I/O_DEC und I/O_EQ. Diese beiden Speicher entsprechen dem in Fig. 2 mit dem Bezugszeichen I/O_M bezeichneten Eingabe/Ausgabespeicher.
20 Für den Zugriff des DSP während eines Kanaldekodervorgangs wird der Eingabe/Ausgabespeicher I/O_DEC eingesetzt, während für den Zugriff des DSP während eines Entzerrungsvorgangs der Eingabe/Ausgabespeicher I/O_EQ eingesetzt wird. Auf diese Weise ist es möglich, mit einem Prozessor gleichzeitig eine Hardware-unterstützte Entzerrung und eine Hardware-unterstützte Kanaldekodierung zu bewerkstelligen.
25

- Das Basisadressenregister AR kann beispielsweise als Teil des Konfigurationsregisters CONFIG im externen Speicherbereich des
30 DSP angeordnet sein.

- Nach Fig. 4 können die Datenspeicher RAM1, RAM2, RAMW1 und RAMW2 mittels des in dem Konfigurationsregister CONFIG enthaltenen Basisadressenregisters AR in folgende Speicherteilbereiche partitioniert sein:
35

RAM1 (32 Bit Wortbreite):

T0_RAM1 Empfangsdatensymbole x_k (komplexwertig)

T1_RAM1 Kanalkoeffizienten (komplexwertig) oder Produkte/Teilsummen für Übergangsmetrikwerte

5 RAM2 (16 Bit Wortbreite) :

T0_RAM2 Trace-Back-Werte vom Dekodierer

T1_RAM2 Soft-Input-Werte für Dekodierer

T2_RAM2 Soft-Output-Werte vom Entzerrer

T3_RAM2 Hard-Output-Werte vom Entzerrer

10

Datenspeicher RAMW1 (32 Bit Wortbreite) :

T0_RAMW1 Metriken der Vorgängerzustände, Dekodierer

T1_RAMW1 Metriken der Vorgängerzustände, Entzerrer

T2_RAMW1 Pfade zu Vorgängerzuständen, Entzerrer

15 T3_RAMW1 Übergangsmetrikwerte für vorausgegangenen Zeitschritt, Entzerrer

Datenspeicher RAMW2 (32 Bit Wortbreite) :

T0_RAMW2 Metriken für Zielzustände, Dekodierer

20 T1_RAMW2 Metriken für Zielzustände, Entzerrer

T2_RAMW2 Pfade zu Zielzuständen, Entzerrer

T3_RAMW2 Übergangsmetrikwerte zum aktuellen Zeitschritt, Entzerrer

25

Es wird deutlich, dass, wie bereits erwähnt, auch die in den Datenspeichern RAMW1 und RAMW2 abgelegten temporären Werte von dem DSP adressierbar sind. Dies erlaubt die Unterbrechung eines Rechenlaufes (Dekodierung und/oder Entzerrung) durch einen anderen Prozess und die Fortführung des unterbrochenen Rechenlaufs nach Beendigung des unterbrechenden Prozesses.

30

Ein weiterer Aspekt der Erfindung berücksichtigt, dass die zu übertragenden Datentypen unterschiedliche Wortbreiten und einen reellen oder komplexwertigen Wertebereich (im letztgenannten Fall sind für eine Größe zwei Datenwörter erforderlich) aufweisen können, d.h. allgemein mit einer unterschiedlichen Anzahl von Bits kodiert sind. Auf der anderen Seite sollen

35

vorteilhafterweise kostengünstige Standard-Speicher einer fest vorgegebenen Wortbreite eines Speicherdatenwortes eingesetzt werden. Um eine möglichst gute Speicherplatzausnutzung zu erreichen, besteht die Möglichkeit zum Packen der zu übertragenen Daten (z.B. ein, zwei oder drei Datenwörter) in eine durch den Datenspeicher vorgegebene Wortbreite. Das Packen unterstützt ferner einen Mehrfach-Zugriff im Hardware-Rechenwerk, z.B. können die Real- und Imaginärteile von Empfangsdatensymbolen oder auch Zustandsmetrikwerten für benachbarte Zustände innerhalb eines Speicherdatenwortes des Datenspeichers abgelegt werden.

Die Auswahl eines Packungs- oder Entpackungsmodus durch den DSP kann in ähnlicher Weise wie die Anwahl der Basisadressen über das Setzen entsprechender Auswahlbits PC0, PC1, usw. in einem Packungs-Konfigurationsspeicher PC erfolgen, siehe Fig. 5. Zu diesem Zweck ist im Bereich der Datenbusse DB1-4 (bzw. Datenverbindung DV1) zwischen dem Eingabe/Ausgabespeicher I/O_DEC bzw. I/O_EQ und den Datenspeichern RAM1, RAMW1, RAMW2 mit einer Wortbreite von 32 Bit ein 16-Bit-Multiplexer MUX16 für das Schreiben und ein 16-Bit-Demultiplexer DMUX16 für das Lesen angeordnet. Der Multiplexer MUX16 sowie auch der Demultiplexer DMUX16 sind jeweils mit einem Zwischenspeicher für ein 16-Bit-Datenwort versehen, um beim Schreiben zwei nacheinander von dem DSP ausgegebene 16-Bit-Datenwörter zu einem 32-Bit-Speicherdatenwort zusammenzufassen, bzw. um ein 32-Bit-Speicherdatenwort in zwei vom DSP sequentiell zu verarbeitende 16-Bit-Datenwörter zu zerlegen. Entsprechende Multiplexer und Demultiplexer MUX8 und DMUX8 mit Zwischenspeichern für ein 8-Bit Datenwortabschnitt sind in dem Datenbus DB2 zum 16-Bit-Datenspeicher RAM2 angeordnet. Der Packungsmodus bewirkt hier, dass zwei vom DSP ausgegebene 16-Bit-Datenwörter, die jeweils nur 8 Bits ausnutzen (z.B. Soft-Input/Output-Werte), zu einem 16-Bit Speicherdatenwort kombiniert werden.

Bei Setzen eines Packungsmodus muss der Zähltakt des Zähler C entsprechend angepaßt und gegenüber dem Systemtakt CLK verlangsamt werden.

- 5 Es wird darauf hingewiesen, dass die Einstellung der Packungs- bzw. Entpackungsmodi nicht allein von den Wortbreiten der übertragenen Datenwörter bzw. den Wortbreiten der Speicher abhängt, sondern auch durch die Auslegung und Konfiguration des Viterbi-Rechenwerkes RW bedingt sein kann. Beispielsweise ist
10 die Anzahl der Eingangsdatenwörter (Soft-Input-Werte) eines Dekodierers zur Durchführung einer Viterbi-Rekursion abhängig von der senderseitig gewählten Koderate (genauer werden bei einer Koderate $R_c = 1/k$ eine Anzahl von k Soft-Input-Werten pro Zeitschritt im Dekodierer benötigt). Die Koderate kann in
15 Abhängigkeit von dem gewählten Dienst variabel sein. Durch eine entsprechende, Koderaten-abhängige Packungsvorschrift kann erreicht werden, dass das Hardware-Rechenwerk RW2 für die Kanaldekodierung pro Zeitschritt auch bei unterschiedlichen Koderaten lediglich einmal auf den entsprechenden Speicherteil-
20 bereich zugreifen muss. Das Vorsehen einer Packungs- bzw. Entpackungsmöglichkeit von Datenwörtern erhöht somit in erheblichem Maße die Flexibilität des erfundungsgemäßen Datenübertragungsverfahrens, insbesondere auch im Hinblick auf die Entzerrung/Kanaldekodierung von Datensignalen unterschiedlicher Mobilfunkstandards (beispielsweise GSM und EDGE) mit derselben
25 Hardware RW1, RW2.

Schließlich wird darauf hingewiesen, dass die im vorliegenden Beispiel beschriebene DSP-Hardware-Schnittstelle bei den Datenverbindungen 1 und 5 lediglich ein Beispiel darstellt und z.B. auch in den Datenverbindungen 2, 4 vorgesehen sein kann. In diesem Fall werden die Übergangsmetrikwerte sowie die Trace-Back-Werte in dem Prozessor DSP berechnet, während nur für die Durchführung der ACS-Operationen ein Hardware-Rechenwerk eingesetzt wird.
35

Patentansprüche

1. Verfahren zur Übertragung von Daten mehrerer Datentypen zwischen einem digitalen Prozessor (DSP) und einem Hardware-Rechenwerk (RW; RW1, RW2), wobei dem Hardware-Rechenwerk (RW; RW1, RW2) wenigstens ein Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) zugeordnet ist, aus welchem es während eines Rechenlaufs benötigte Daten bezieht und/oder in welches es während eines Rechenlaufs berechnete Daten ablegt, und wobei ein Schreib- und/oder Lesezugriff des Prozessors (DSP) auf den Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) die Schritte umfasst:

- (a) Anwahl einer Basisadresse (BA0, BA1, ..., BAn) des Tabellenspeichers (SP; RAM1, RAM2, RAMW1, RAMW2), welche abhängig von dem Datentyp der zu übertragenden Daten ist;
- (b) Zugreifen auf den Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2), indem ausgehend von der angewählten Basisadresse (BA0, BA1, ..., BAn) die für den Schreib- und/oder Lesezugriff verwendete Adresse des Tabellenspeichers (SP; RAM1, RAM2, RAMW1, RAMW2) bei jedem Zugriff nach einer vorgegebenen arithmetischen Rechenvorschrift in Hardware berechnet wird.

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,

- dass die den unterschiedlichen Datentypen zugeordneten Basisadressen (BA0, BA1, ..., BAn) in einem Basisadressenregister (AR) abgelegt sind, und
- dass die Anwahl einer Basisadresse (BA0, BA1, ..., BAn) durch Setzen einer dieser Basisadresse (BA0, BA1, ..., BAn) zugeordneten Auswahlbits über den Prozessor (DSP) erfolgt.

3. Verfahren nach Anspruch 1 oder 2,

g e k e n n z e i c h n e t durch den weiteren Schritt:

- Wahl eines Packungsmodus, welcher bewirkt, dass mehrere von dem Prozessor (DSP) ausgegebene Datenwörter für einen Speicherzugriff gemäß Schritt (b) zu einem Speicherdatenwort

für den Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) zusammengefasst werden,

und/oder

- Wahl eines Entpackungsmodus, welcher bewirkt, dass ein mit einem Speicherzugriff gemäß Schritt (b) aus dem Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) gelesenes Speicherdatenwort vor der Eingabe in den Prozessor (DSP) in mehrere Datenwörter zerlegt wird.

10 4. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet,

- dass die arithmetische Rechenvorschrift zur Berechnung der Adressen des Tabellenspeichers eine Inkrementierungs- bzw. Dekrementierungsvorschrift ist.

15

5. Schaltungsanordnung zur Übertragung von Daten mehrerer Datentypen zwischen einem Prozessor (DSP) und einem Hardware-Rechenwerk (RW; RW1, RW2), wobei dem Hardware-Rechenwerk (RW; RW1, RW2) wenigstens ein Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) zugeordnet ist, aus welchem es während eines Rechenlaufs benötigte Daten bezieht und/oder in welches es während eines Rechenlaufs berechnete Daten ablegt, mit

- einem Eingabe- und/oder Ausgabespeicher (I/O_M; I/O_DEC, I/O_EQ) vorgegebener Adresse, auf welchen der Prozessor (DSP) für die Dateneingabe/-ausgabe zugreift,
- einem Basisadressen-Speichermittel (AR), in welchem zu jedem Datentyp eine Basisadressen (BA0, BA1, ..., BAn) für den Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) gespeichert ist, und
- einer Hardware-Adressenberechnungsschaltung (C), welche ausgehend von einer Basisadresse (BA0, BA1, ..., BAn) durch Anwenden einer arithmetischen Rechenvorschrift eine aktuelle Adresse für den Zugriff auf den Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) erzeugt.

35

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet,

- dass das Basisadressen-Speichermittel ein externes Basisadressenregister (AR) ist, welches derart aufgebaut ist, dass die Anwahl einer Basisadresse (BA0, BA1, ..., BAn) durch Setzen eines dieser Basisadresse zugeordneten Auswahlbits seitens des Prozessors (DSP) erfolgt.

5 7. Schaltungsanordnung nach Anspruch 5 oder 6,

d a d u r c h g e k e n n z e i c h n e t,

- dass die Schaltungsanordnung ein Multiplexer- und Zwischen-
10 speichermittel (MUX16, MUX8) aufweist, mittels welchem mehrere von dem Prozessor (DSP) ausgegebene Datenwörter zu einem zur Speicherung unter einer Adresse im Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) vorgesehenen Speicherdatenwort zusammengefügt werden.

15 8. Schaltungsanordnung nach Anspruch 5 bis 7,

d a d u r c h g e k e n n z e i c h n e t,

- dass die Schaltungsanordnung ein Demultiplexer- und Zwischen-
20 speichermittel (DMUX16, DMUX8) aufweist, mittels welchem ein aus dem Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) ausgelesenes Speicherdatenwort vor der Eingabe in den Prozessor (DSP) in mehrere Datenwörter zerlegt wird.

9. Schaltungsanordnung nach Anspruch 5 bis 8

d a d u r c h g e k e n n z e i c h n e t,

- dass der Tabellenspeicher (SP; RAM1, RAM2, RAMW1, RAMW2) eine vorgegebene Speicherwortbreite aufweist.

10. Schaltungsanordnung nach Anspruch 5 bis 9

30 d a d u r c h g e k e n n z e i c h n e t,

- dass es sich bei dem Hardware-Rechenwerk um ein Viterbi-Hardware-Rechenwerk handelt.

Zusammenfassung

Verfahren und Schaltungsanordnung zur Übertragung von Daten zwischen einem Prozessor und einem Hardware-Rechenwerk

5

Bei einem Verfahren zur Übertragung von Daten mehrerer Datentypen zwischen einem digitalen Prozessor und einem Hardware-Rechenwerk, welchem wenigstens ein Tabellenspeicher zugeordnet ist, wird zunächst eine Basisadresse des Tabellenspeichers, welche abhängig von dem Datentyp der zu übertragenden Daten ist, angewählt. Danach erfolgt ein Lese- und/oder Schreibzugriff auf den Tabellenspeicher, indem ausgehend von der angewählten Basisadresse die für den Lese-/Schreibzugriff verwendete Adresse des Tabellenspeichers bei jedem Zugriff nach einer arithmetischen Rechenvorschrift berechnet wird.

10

15

113

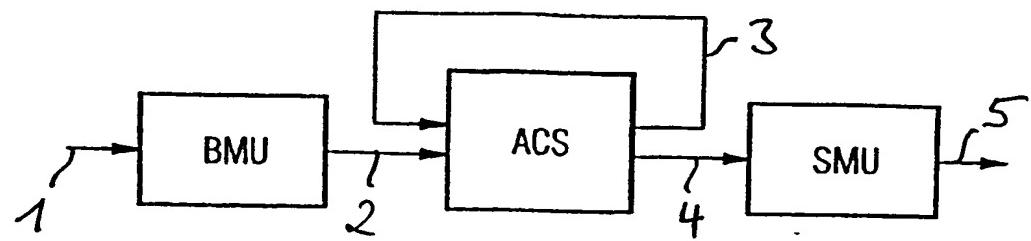


Fig. 1

2/3

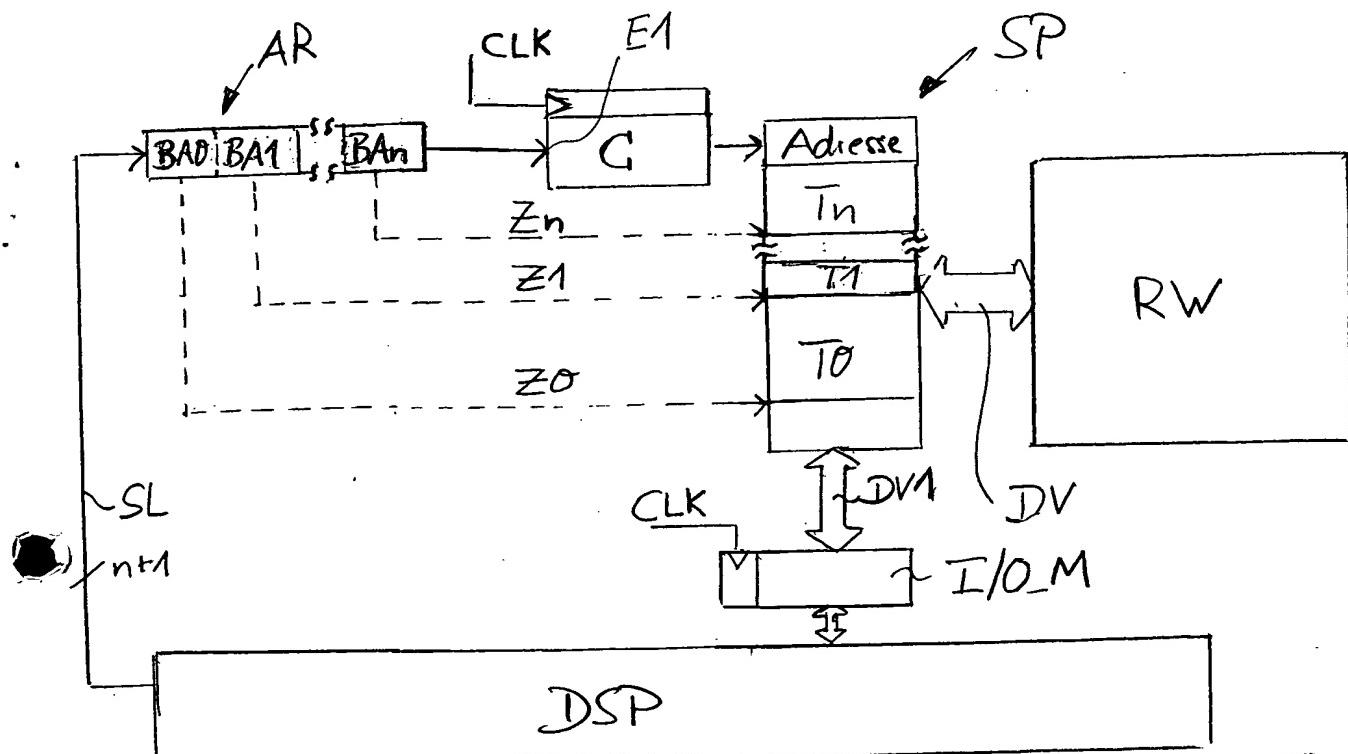


Fig. 2

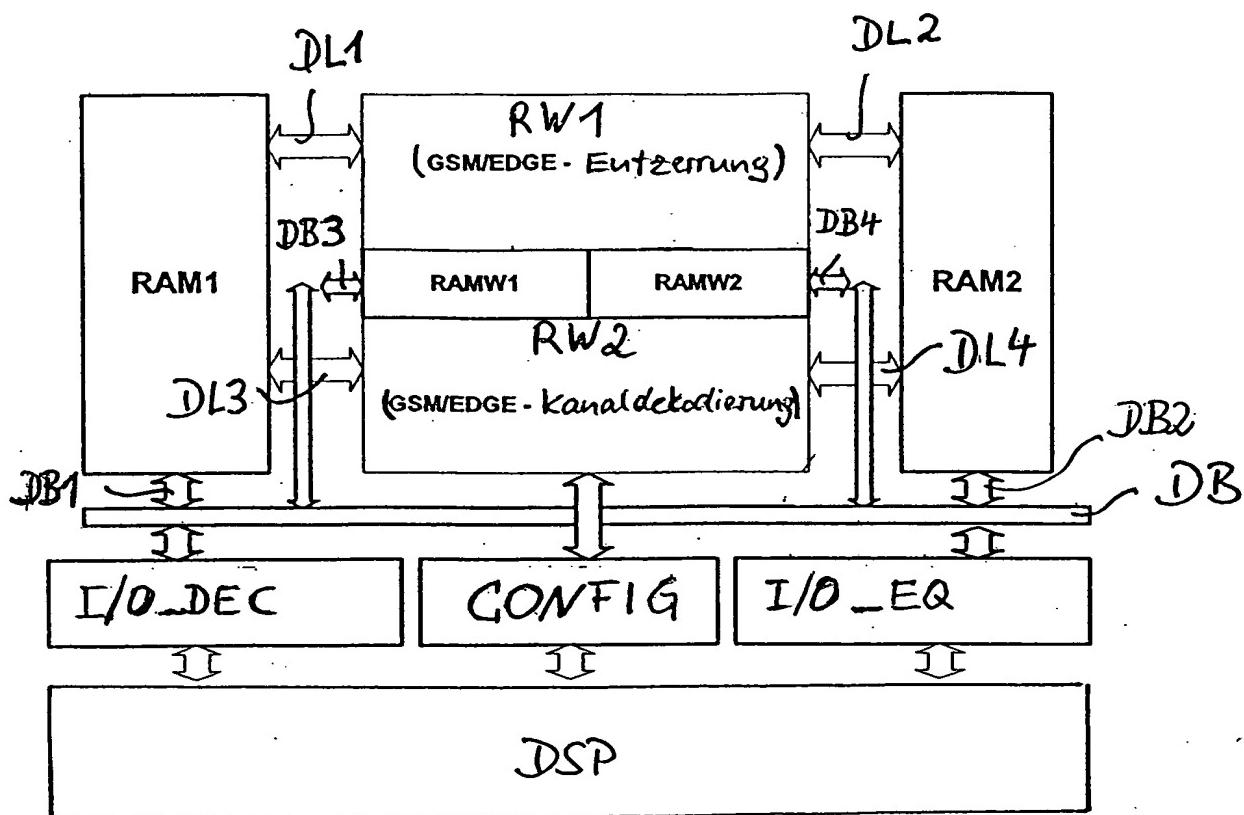


Fig. 3

3/3

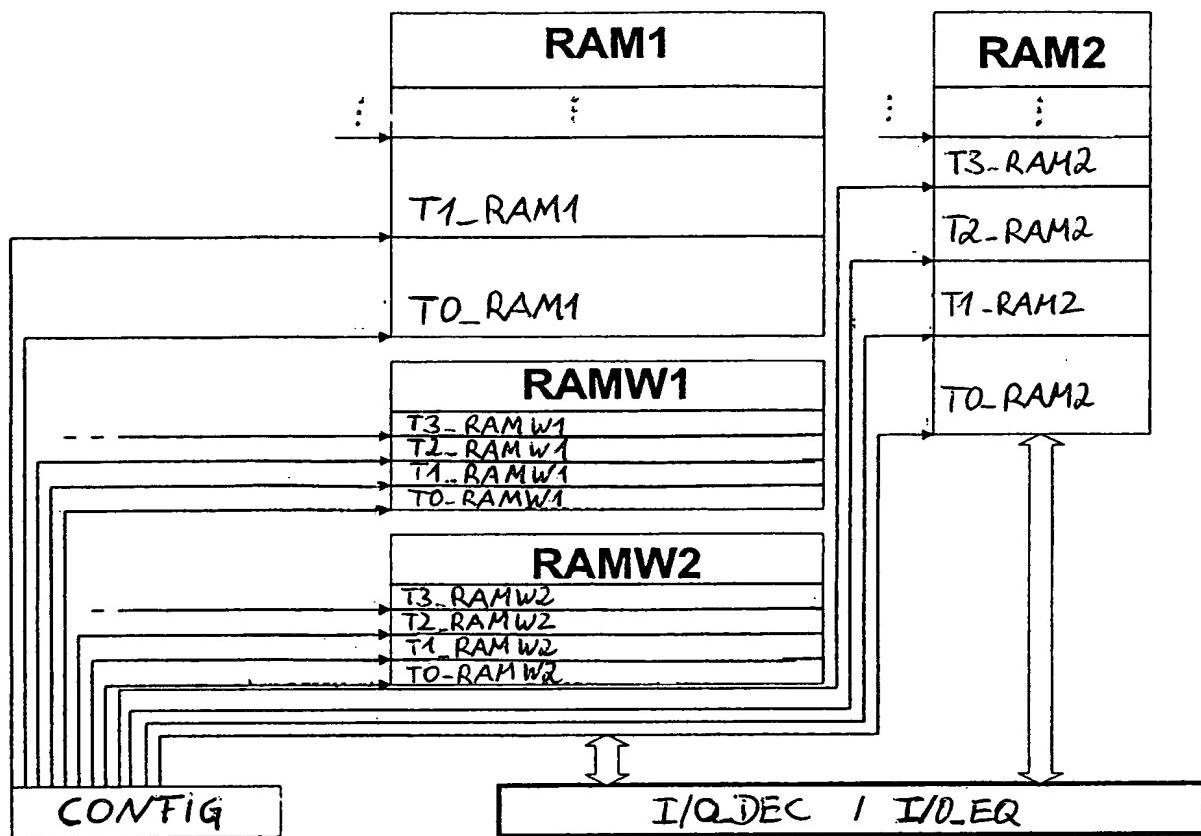


Fig. 4

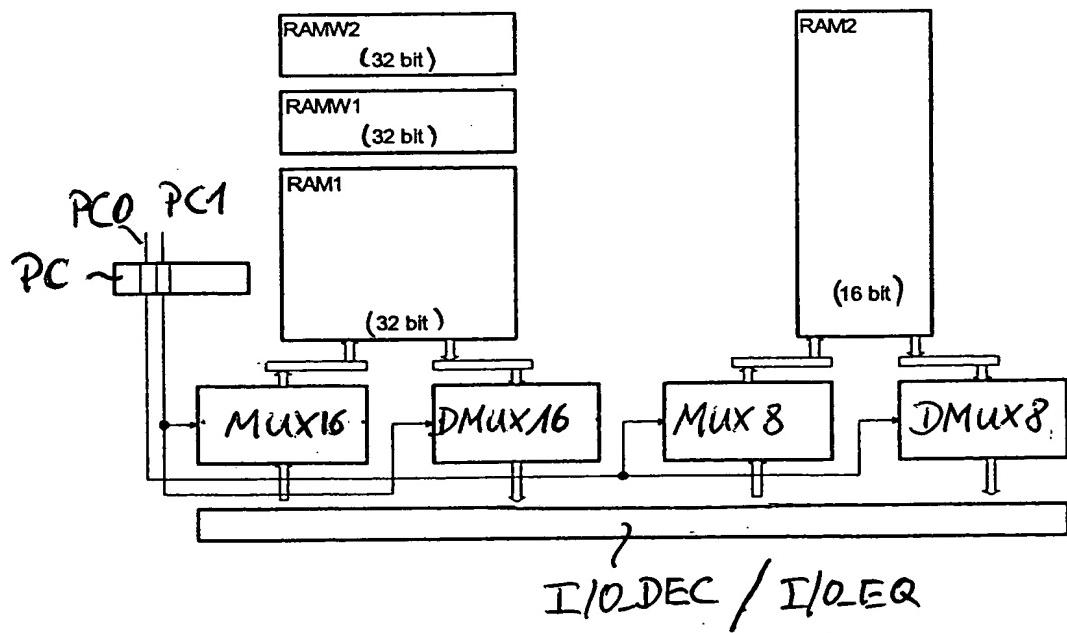


Fig. 5